

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(19)



JAPANESE PATENT OFFICE

JPA 9-102790

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 09102790 A

(43) Date of publication of application: 15.04.97

(51) Int. Cl

H04L 12/46

H04L 12/28

H04L 12/66

H04L 29/06

(21) Application number: 07257566

(71) Applicant: CHOKOSOKU NETWORK
COMPUTER GIJUTSU
KENKYUSHO:KK

(22) Date of filing: 04.10.95

(72) Inventor: NAKAATO AKIRA
ABIRU KENICHI
KUROKAWA YASUSHI

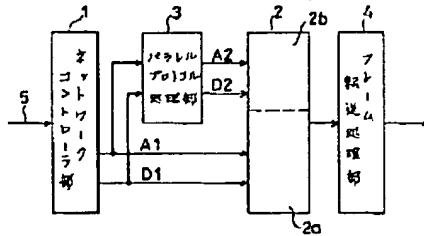
(54) HIGH SPEED PROCESSING SYSTEM FOR
RECEIVED FRAME

COPYRIGHT: (C)1997,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To reduce processing delay,
and to improve frame transfer capacity.

SOLUTION: A network controller part 1 writes frame data D1 received from a physical transmission line in a memory 2 by an address A1. In parallel with this reception processing, a parallel protocol processing part 3 discriminates the frame classification of the received frame, and determines a transfer destination, and as a result, it writes D2 in the memory 2 by the address A2. A frame transfer processing part 4 transfers the received frame to a transmitting side network interface part on the basis of the processed result of the protocol processing part 3. Thus, the reception processing and frame discrimination processing and transfer destination determination processing at the protocol processing can be carried forward simultaneously, and frame transfer processing can be speeded up.



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-102790

(43)公開日 平成9年(1997)4月15日

(51) Int.Cl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
H 04 L 12/46			H 04 L 11/00	3 1 0 C
12/28		9466-5K	11/20	B
12/66			13/00	3 0 5 Z
29/06				

審査請求 有 請求項の数4 O.L (全10頁)

(21)出願番号 特願平7-257566

(22)出願日 平成7年(1995)10月4日

(71)出願人 394025577

株式会社超高速ネットワーク・コンピュータ技術研究所
東京都港区虎ノ門五丁目2番6号

(72)発明者 中後 明

東京都港区虎ノ門5丁目2番6号 株式会社超高速ネットワーク・コンピュータ技術研究所内

(72)発明者 阿比留 健一

東京都港区虎ノ門5丁目2番6号 株式会社超高速ネットワーク・コンピュータ技術研究所内

(74)代理人 弁理士 山川 政樹

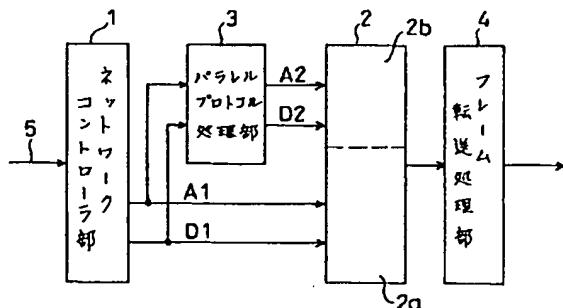
最終頁に続く

(54)【発明の名称】受信フレームに対する高速処理方式

(57)【要約】

【課題】処理遅延を低減し、フレーム転送能力の向上を図る。

【解決手段】ネットワークコントローラ部1は、物理伝送路から受信したフレームデータD1をアドレスA1によってメモリ2に書き込む。この受信処理と平行して、パラレルプロトコル処理部3は、受信フレームのフレーム種別を識別して転送先を決定し、この結果D2をアドレスA2によってメモリ2に書き込む。フレーム転送処理部4は、プロトコル処理部3の処理結果に基づいて送信側ネットワークインターフェース部へ受信フレームを転送する。こうして、受信処理とプロトコル処理におけるフレーム識別処理及び転送先決定処理とを同時にを行うことができ、フレーム転送処理の高速化を図ることができる。



【特許請求の範囲】

【請求項1】 物理伝送路からフレームを受信するネットワークコントローラ部と、このコントローラ部で受信された受信フレームを格納するメモリとを有するゲートウェイ装置の受信側ネットワークインタフェース部において、

ネットワークコントローラ部が受信フレームをメモリに書き込むフレーム受信処理と平行して、受信フレームのプロトコル処理を行うパラレルプロトコル処理部を有することを特徴とする受信フレームに対する高速処理方

式。

【請求項2】 請求項1に記載の受信フレームに対する高速処理方式において、

前記パラレルプロトコル処理部は、受信フレームのフレーム種別を識別し、この識別結果を受信フレームと対応させてメモリに書き込むものであり、フレーム受信処理とプロトコル処理におけるフレーム識別処理とを同時に行うことを特徴とする受信フレームに対する高速処理方

式。

【請求項3】 請求項1に記載の受信フレームに対する高速処理方式において、

前記パラレルプロトコル処理部は、受信フレームのフレーム種別を識別し、受信フレーム中のネットワークレイヤにおける宛先論理アドレスを基に、これに対応した転送先を求めることが前記フレーム種別に応じて行い、求めた転送先情報を受信フレームと対応させてメモリに書き込むものであり、フレーム受信処理とプロトコル処理におけるフレーム識別処理及びルーティング処理とを同時に行うことを特徴とする受信フレームに対する高速処理方

式。

【請求項4】 請求項1に記載の受信フレームに対する高速処理方式において、

前記パラレルプロトコル処理部は、受信フレーム中の物理伝送路に応じた宛先物理アドレスを基に、これに対応した転送先を求め、求めた転送先情報を受信フレームと対応させてメモリに書き込むものであり、フレーム受信処理とプロトコル処理におけるスイッチング処理とを同時に行うことを特徴とする受信フレームに対する高速処理方

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、ゲートウェイ装置内の受信側ネットワークインタフェース部において、フレーム処理の高速化を図るための高速処理方式に関するものである。

【0002】

【従来の技術】 複数のネットワークを相互に接続し、ネットワーク間でのフレーム転送を提供するゲートウェイ装置に対し、伝送路速度の高速化及びマルチメディア通信の普及に伴って内部処理能力の向上が望まれている。

従来、図8に示すように、ゲートウェイ装置内の受信側ネットワークインタフェース部において、ネットワークコントローラ部51は、伝送路からの受信フレームの先頭を検出し、メモリ52の所定の領域にそのフレームデータを順次書き込むフレーム受信処理を行う。

【0003】 続いて、プロトコル処理部53は、ネットワークコントローラ部51のフレーム受信処理終了後、そのフレームをメモリ52から読み出し、プロトコル処理を行い、宛先アドレスから送信側ネットワークインタフェースを決定する。そして、フレーム転送処理部54は、プロトコル処理部53で決定した転送先情報に従つてフレームを送信側ネットワークインタフェース部へ転送する。

【0004】

【発明が解決しようとする課題】 以上のように従来の受信側ネットワークインタフェース部では、受信フレームに対する各処理をシーケンシャルに行っているため、ネットワークコントローラ部での1フレームの受信が終了しない限り、そのフレームに対するプロトコル処理を実行することができず、更にプロトコル処理が終了しない限り、そのフレームを送信側ネットワークインタフェース部に転送することができず、全体として1フレームに対する転送処理に時間がかかるという問題点があった。本発明は、上記課題を解決するためになされたもので、処理遅延を遮減し、ゲートウェイ装置全体としてのフレーム転送能力の向上を図ることができる高速処理方式を提供することを目的とする。

【0005】

【課題を解決するための手段】 本発明は、ゲートウェイ装置の受信側ネットワークインタフェース部において、ネットワークコントローラ部が受信フレームをメモリに書き込むフレーム受信処理と平行して、受信フレームのプロトコル処理を行うパラレルプロトコル処理部を有するものである。これにより、フレーム受信処理とプロトコル処理とを同時に行うことができる。また、パラレルプロトコル処理部は、受信フレームのフレーム種別を識別し、この識別結果を受信フレームと対応させてメモリに書き込むものである。これにより、フレーム受信処理とプロトコル処理におけるフレーム識別処理とを同時に行うことができる。

【0006】

また、パラレルプロトコル処理部は、受信フレームのフレーム種別を識別し、受信フレーム中のネットワークレイヤにおける宛先論理アドレスを基に、これに対応した転送先を求めることが前記フレーム種別に応じて行い、求めた転送先情報を受信フレームと対応させてメモリに書き込むものである。これにより、フレーム受信処理とプロトコル処理におけるフレーム識別処理及びルーティング処理とを同時に行うことができる。また、パラレルプロトコル処理部は、受信フレーム中の物理伝送路に応じた宛先物理アドレスを基に、これに対応

した転送先を求め、求めた転送先情報を受信フレームと対応させてメモリに書き込むものである。これにより、フレーム受信処理とプロトコル処理におけるスイッチング処理とを同時にうことができる。

【0007】

【発明の実施の形態】

実施の形態の1. 図1は本発明の第1の実施の形態となる高速処理方式を示す受信側ネットワークインターフェース部のブロック図である。1は物理伝送路5からフレームを受信するネットワークコントローラ部、2はコントローラ部1で受信された受信フレームを格納するメモリ、3はコントローラ部1が受信フレームをメモリ2に書き込むフレーム受信処理と平行して、受信フレームのプロトコル処理を行うパラレルプロトコル処理部、4はメモリ2に格納された受信フレームを図示しない送信側ネットワークインターフェース部へ転送するフレーム転送処理部である。

【0008】次に、このような受信側ネットワークインターフェース部の動作を説明する。ネットワークコントローラ部1は、物理伝送路5からフレームを受信し、受信したフレームデータD1を所定の書き込みアドレスA1によってメモリ2の所定の領域2aに書き込む。このよ
うなフレーム受信処理と平行して、パラレルプロトコル処理部3は、ネットワークコントローラ部1から出力された書き込みアドレスA1及びフレームデータD1を取り込み、受信フレームのフレーム種別を識別して、この識別結果を受信フレームと対応させてメモリ2に書き込む。

【0009】図2はこのパラレルプロトコル処理部3のブロック図である。アドレスデコーダ11は、コントローラ部1から出力された書き込みアドレスA1を取り込み、このアドレスA1を解析することによりコントローラ部1がメモリ2にフレームデータD1を書き始めるタイミング(以下、フレーム書き込み開始タイミングとする)を検出し、これをラッチパルス生成部12に通知する。

【0010】ラッチパルス生成部12は、データバス上を流れているフレームデータD1からヘッダ情報を取り込むためのタイミングパルスを生成する。図3(a)は、IEEE802規格のフレームフォーマット及びイーサネット(Ethernet)形式のフレームフォーマットのうち、ヘッダ情報の部分を示す図であり、縦方向のサイズは32ビットである。

【0011】図3(a)において、101は宛先アドレス(MAC Dest. Add. : Media Access Control Destination Address)が格納されるフィールド、102は送信元アドレス(MAC Sour. Add. : Media Access Control Source Address)が格納されるフィールド、103はフレームタイプ/フレームの長さ(イーサネット形式; Frame Type / IEEE802規格; Length)が格納される

フィールドである。

【0012】また、104はIEEE802規格における送信元サービス・アクセス・ポイント、宛先サービス・アクセス・ポイント・フィールド(LLC SSAP DSAP : Logical Link Control Source Service Access Point Destination Service Access Point)が格納されるフィールド、105はIEEE802規格における制御データ(LLC Cont. : Logical Link Control Control)が格納されるフィールド、106はIEEE802規格におけるサブネットワーク・アクセス・プロトコル(LLC SNAP : Logical Link Control Sub-Network Access Protocol)が格納されるフィールドである。なお、イーサネット形式においては、104~106のフィールドには上位プロトコルのデータが格納されている。

【0013】また、図3(b)に示すT1は、区間t1のデータ、すなわちフィールド101の上位32ビットを取り込むためのタイミングパルスである。同様に、図3(c)に示すT2は、区間t2のデータ、すなわちフィールド101の下位16ビットとフィールド102の上位16ビットを取り込むためのパルス、T3はフィールド102の下位32ビットを取り込むためのパルス、T4は区間t4のデータを取り込むためのパルス、T5は区間t5のデータを取り込むためのパルス、T6は区間t6のデータを取り込むためのパルスである。

【0014】IEEE802規格及びイーサネット形式のフレームフォーマットにおいて、図3(a)に示すようなヘッダ情報がどの位置に置かれているかは予め分かっているので、ラッチパルス生成部12は、フレーム書き込みの開始タイミングからタイミングパルスT1~T6を生成することができる。次に、ヘッダ比較部13は、受信フレームのヘッダ情報を解析してそのフレーム種別を識別する。図4はヘッダ比較部13のブロック図である。

【0015】ラッチ部21~25は、ネットワークコントローラ部1から出力されたフレームデータD1をラッチパルス生成部12から出力されたタイミングパルスT1、T2、T4~T6によってそれぞれラッチする。アドレス比較部26は、予め自分自身(ここでは、ネットワークコントローラ部1)に割り当てられたアドレスを記憶しており、これをラッチ部21、22によって保持されたフィールド101の宛先アドレスと比較し、コントローラ部1で受信されたフレームが自分宛のものか否かを判断する。

【0016】そして、アドレスが一致せず、自分宛のものではないと判断した場合は、比較結果保持レジスタ14内の識別情報のうち、下から12ビット目(図4のBridge)をビット「1」にセットする。また、アドレスが一致して、自分宛のものであると判断した場合は、レジスタ27~29をイネーブル状態にする。

【0017】レジスタ27は、ヘッダ情報中の区間t4

(フィールド103、104)のデータに対応した複数のデータパターンを各領域に記憶しており、イネーブル状態になると、ラッチ回路23によって保持された区間t4のデータを各領域に格納されたデータパターンと比較し、一致すればその領域の出力をビット「1」にセットする。ここで、レジスタ27の領域27aには、データパターンとして「8137XXXX」が格納されている。なお、以降で説明するデータパターンは全て16進表記とし、「X」は任意のデータ(すなわち、比較の対象にならない)とする。

【0018】また、領域27bには「8038XXXX～8042XXXX」が格納され、領域27cには「6000XXXX～6099XXXX」、領域27dには「0800XXXX」、領域27eには「0806XX XX」、領域27fには「0600XXXX」が格納されている。

【0019】そして、領域27gの上位16ビットには「0000～05DC」、下位16ビットには「FF·F F」が格納され、領域27hの上位16ビットには「0000～05DC」、下位16ビットには「FE·E E」、領域27iの上位16ビットには「0000～05DC」、下位16ビットには「E0E0」、領域27jの上位16ビットには「0000～05DC」、下位16ビットには「4242」、領域27kの上位16ビットには「0000～05DC」、下位16ビットには「AAAA」が格納されている。

【0020】また、レジスタ28は、ヘッダ情報中の区間t5のデータに対応した複数のデータパターンを記憶しており、イネーブル状態になると、レジスタ27と同様にラッチ回路24によって保持された区間t5のデータを各領域に格納されたデータパターンと比較する。このレジスタ28の領域28aには、「03XXXX X」が格納され、領域28bには「03000000 0」、領域28cには「AFXXXXXX」、領域28dには「BFXXXXXX」、領域28eには「E3X XXXXX」、領域28fには「F3XXXXXX」が格納されている。

【0021】また、レジスタ29は、ヘッダ情報中の区間t6のデータに対応した複数のデータパターンを記憶しており、イネーブル状態になると、ラッチ回路25にて保持された区間t6のデータを各領域に格納されたデータパターンと比較する。このレジスタ29の領域29aには、「8137XXXX」が格納され、領域29bには「809EXXXX」、領域29cには「80F3 XXXX」が格納されている。

【0022】このようなレジスタ27～29において、例えばレジスタ27は、ラッチ回路23によって保持されたデータが領域27a又は27gに格納されたデータパターンと一致すると、この領域の出力をビット「1」にセットする。これにより、比較結果保持レジスタ14

の下から11ビット目(図4のIPX)が「1」にセットされる。こうして、コントローラ部1で受信されたフレームがIPX(Internet Packet Exchange)プロトコル形式のフレームであると識別されることになる。なお、IPXについては、別の条件が成立した場合にも「1」がセットされることがあるが、これについては後述する。

【0023】また、ラッチ回路23のデータが領域27b又は27cのデータと一致すると、レジスタ14の10ビット目(DECnet)が「1」にセットされる。こうして、受信フレームがディジタルイクイップメント(DEC)社のネットワーク形式のフレームであると識別されることになる。また、ラッチ回路23のデータが領域27dのデータと一致すると、レジスタ14の9ビット目(IP:Internet Protocol)が「1」にセットされる。これは、受信フレームがIP形式のフレームであると識別されることを意味する。

【0024】また、ラッチ回路23のデータが領域27eのデータと一致すると、レジスタ14の8ビット目20(ARP:Address Resolution Protocol)が「1」にセットされる。これは、受信フレームがARP形式のフレームであると識別されることを意味する。また、ラッチ回路23のデータが領域27fのデータと一致すると、レジスタ14の7ビット目(XNS:Xerox Network System)が「1」にセットされる。これは、受信フレームがゼロックス社のネットワーク形式のフレームであると識別されることを意味する。

【0025】次に、レジスタ27は、ラッチ回路23のデータが領域27hのデータと一致すると、領域27hの出力を「1」にセットするが、このときレジスタ14の6ビット目(OSI:Open Systems Interconnection)が「1」にセットされるのは、バッファ30がイネーブル状態になったときである。バッファ30がイネーブル状態になるためには、ラッチ回路24で保持されたデータがレジスタ28の領域28aに格納されたデータパターンと一致することが必要となる。このような一致が成立すれば、イネーブル信号(「1」)がレジスタ28から出力され、バッファ30がイネーブル状態となる。

【0026】よって、以上の2つの条件が成立すれば、レジスタ14の6ビット目が「1」にセットされ、受信フレームがOSIプロトコル形式のフレームであると識別されたことになる。

【0027】また、ラッチ回路23のデータが領域27iのデータと一致すると、領域27iの出力が「1」にセットされるが、このときレジスタ14の11ビット目(IPX)が「1」にセットされるのは、上記と同条件の成立によりバッファ31がイネーブル状態になったときである。以上の2つの条件が成立すれば、レジスタ14の11ビット目が「1」にセットされ、受信フレーム

がIPXプロトコル形式のフレームであると識別されることになる。

【0028】また、ラッチ回路23のデータが領域27jのデータと一致すると、領域27jの出力が「1」にセットされるが、このときレジスタ14の5ビット目(STP:Spanning Tree Protocol)が「1」にセットされるのは、上記と同条件の成立によりバッファ32がイネーブル状態になったときである。以上の2つの条件が成立すれば、レジスタ14の5ビット目が「1」にセットされる。これは、受信フレームがSTP形式のフレームであると識別されたことを意味する。

【0029】そして、レジスタ28は、ラッチ回路24のデータが領域28c又は28dのデータと一致すると、レジスタ14の4ビット目(XID:Exchange Identification)を「1」にセットする。これは、受信フレームがLIC形式のフレームであると識別されたことを意味する。同様に、ラッチ回路24のデータが領域28e又は28fのデータと一致すると、レジスタ14の3ビット目(TEST)を「1」にセットする。これは、受信フレームがLIC形式のフレームであると識別されたことを意味する。

【0030】次に、レジスタ29は、ラッチ回路25によって保持されたデータが領域29aに格納されたデータと一致すると、領域29aの出力を「1」にセットするが、このときレジスタ14の11ビット目(IPX)が「1」にセットされるのは、バッファ33がイネーブル状態になったときである。

【0031】バッファ33がイネーブル状態になるためには、ラッチ回路23のデータがレジスタ27の領域27kのデータと一致し、かつラッチ回路24のデータがレジスタ28の領域28bのデータと一致することが必要となる。このような一致により、イネーブル信号がレジスタ27と28から出力され、アンド回路36の出力が「1」となり、バッファ33がイネーブル状態となる。よって、以上の条件が成立すれば、レジスタ14の11ビット目が「1」にセットされ、受信フレームがIPXプロトコル形式のフレームであると識別されたことになる。

【0032】また、ラッチ回路25のデータが領域29bのデータと一致すると、領域29bの出力が「1」にセットされるが、このときレジスタ14の2ビット目(Apple)が「1」にセットされるのは、上記と同条件の成立によりバッファ34がイネーブル状態になったときである。以上の2つの条件が成立すれば、レジスタ14の2ビット目が「1」にセットされ、受信フレームがアップル社のネットワーク形式のフレームであると識別されたことになる。

【0033】同様に、ラッチ回路25のデータが領域29cのデータと一致すると、領域29cの出力が「1」にセットされるが、このときレジスタ14の1ビット目

10

20

30

40

50

(Apple ARP)が「1」にセットされるのは、上記と同条件の成立によりバッファ35がイネーブル状態になったときである。以上の2つの条件が成立すれば、レジスタ14の1ビット目が「1」にセットされ、受信フレームがアップル社のネットワーク形式のフレームであると識別されたことになる。

【0034】以上で説明したフレーム種別の識別は、各プロトコル形式に予め割り当てられたヘッダ情報中のデータパターンをレジスタ27~29に記憶させて、これを受信フレームのヘッダ情報と比較することにより、識別を行うものである。このような識別により、レジスタ14の各ビットのうち、該当するビットが「1」にセットされる。

【0035】次に、アドレスジェネレータ15は、レジスタ14の情報をメモリ2に書き込まれるフレームデータD1と対応づけてメモリ2に書き込めるように、書き込みアドレスA1に応じた書き込みアドレスA2を生成する。こうして、比較結果保持レジスタ14に保持された16ビットの識別情報D2(有意ビットは下位12ビット)が書き込みアドレスA2によってメモリ2の所定の領域2bに書き込まれる。

【0036】このように受信フレームの種別が得られると、図示しないファームウェアがこれを基にメモリ2に格納されたフレームを処理することが可能になる。例えば、ファームウェアがフレーム種別を基に、この受信フレームの転送先を求め、これをフレーム転送処理部4に渡す、これにより、フレーム転送処理部4は、この転送先情報に従ってメモリ2に格納された受信フレームを該当する送信側ネットワークインターフェース部へ転送する。

【0037】実施の形態の2. 次に、ネットワークレイヤにおける宛先論理アドレスを用いて、宛先論理アドレスから転送先を検索するプロトコル処理(ルーティング処理)の場合について説明する。本実施の形態においても、受信側ネットワークインターフェース部全体の構成は、実施の形態の1とほぼ同様であり、異なるのはパラレルプロトコル処理部なので、このパラレルプロトコル処理部の構成、動作を説明する。

【0038】図5は本発明の他の実施の形態となる高速処理方式を示すパラレルプロトコル処理部のブロック図であり、図2と同様の構成には同一の符号を付してある。まず、アドレスデコーダ11は、実施の形態の1と同様にフレーム書き込み開始タイミングを検出し、ラッチパルス生成部12aは、ラッチパルス生成部12と同様にしてタイミングパルスT1~T6を生成する。

【0039】次に、ヘッダ比較部13aの内部構成は、ヘッダ比較部13と同様であるが、実施の形態1ではレジスタ14に書き込まれていた11個の出力(Bridgeは使用せず)は、ネットワークレイヤの各プロトコルごとに独立して処理を行う後述するルーティング処理

部のイネーブル信号として使用される。

【0040】ルーティング処理部16-1～16-nは、各プロトコル形式ごとに設けられるものである。したがって、実施の形態の1のようにフレーム種別がIPXからApple ARPまでの11種類あって、これに対して1つずつ設けるとすれば、その個数は11個となる。そして、ヘッダ比較部13aからの各イネーブル信号は、そのフレームプロトコルに対応するルーティング処理部に接続されており、イネーブル信号が「1」になるとルーティング処理部が起動される。

【0041】ここでは、ネットワークレイヤにおける宛先論理アドレスの1例としてIPアドレスにおけるネットワークアドレスを用いたIPルーティング処理について説明する。図6はルーティング処理部16-1～16-n中のフレーム種別(プロトコル)IPに対応したルーティング処理部のブロック図である。

【0042】シフトレジスタ31は、ラッチパルス生成部12aより出力されたフレーム書き込み開始タイミングから所定の時間だけフレームデータD1を遅らせて、これをフレームデータD3として出力する。この所定の時間は、ヘッダ比較部13aにフレームデータD1の先頭が入力されてからビット「1」のイネーブル信号IPena(図4のIP)が出力されるまでの時間である。

【0043】こうして、フレームデータD3の先頭とイネーブル信号IPenaのタイミングが一致することになる。そして、バッファ32は、受信フレームがIP形式のフレームと判断されてイネーブル信号IPenaが「1」になると、イネーブル状態となり、入力されたフレームデータD3とこのデータD3に同期したクロック信号CLKをヘッダラッチ部33に出力する。

【0044】次に、ヘッダラッチ部33は、クロック信号CLKに基づいてフレームデータD3中の宛先IPアドレスをラッチする。宛先IPアドレスがフレームデータD3中のどの位置に格納されているかは予め分かっており、これにより宛先IPアドレスを取り出すことができる。

【0045】続いて、アドレスクラス識別部34は、ヘッダラッチ部33で保持された宛先IPアドレスの上位2ビットからネットワーククラス(A、BあるいはC)を調べ、そのクラスに応じてアドレスマスクレジスタ35の値をアサートする。すなわち、クラスAであれば、IPアドレスの上位8ビットがネットワークアドレスなので、宛先IPアドレスのうちのこの部分をビット「1」にセットし、他の部分は「0」とする。

【0046】また、クラスBであれば、上位16ビットがネットワークアドレスであり、クラスCであれば、上位24ビットがネットワークアドレスなので、同様にこの部分をビット「1」にセットする。そして、AND回路36は、このようなアドレスマスクレジスタ35の出力値とヘッダラッチ部33で保持された宛先IPアドレ

スの論理積をとる。こうして、宛先IPアドレスにおけるネットワークアドレスが得られる。

【0047】次に、IPルーティングテーブル37には、ネットワークアドレスIP1～IPnと、そのネットワークアドレスに対応した送信側ネットワークインターフェース部(図8の55a～55cに相当)の番号N1～Nnとの対応関係が格納されている。このIPルーティングテーブル37は、AND回路36で得られたネットワークアドレスをキーとして検索を行う。

10 【0048】そして、ネットワークアドレスIP1～IPn中にキーと一致するアドレスがあれば、それに対応する送信側ネットワークインターフェース部の番号を出力する。これが、転送先情報D4である。一方、アドレスジェネレータ38は、アドレスジェネレータ15と同様に書き込みアドレスA1に応じた書き込みアドレスA2を生成する。

【0049】こうして、本実施の形態のパラレルプロトコル処理部から出力された転送先情報D4が書き込みアドレスA2によってメモリの所定の領域(図1の領域2bに相当)に書き込まれる。そして、フレーム転送処理部(図1の処理部4)は、この転送先情報D4に従ってメモリに格納された受信フレームを該当する送信側ネットワークインターフェース部へ転送する。

【0050】実施の形態の3. 次に、物理伝送路に対応した宛先物理アドレスを用いて、このアドレスから転送先を検索するプロトコル処理(スイッチング処理)の場合について説明する。本実施の形態においても、受信側ネットワークインターフェース部全体の構成は、実施の形態の1とほぼ同様であり、異なるのはパラレルプロトコル処理部なので、このパラレルプロトコル処理部の構成、動作を説明する。図7は本発明の他の実施の形態となる高速処理方式を示すパラレルプロトコル処理部のブロック図であり、図2と同様の構成には同一の符号を付してある。

【0051】そして、ここでは宛先物理アドレスとして宛先MACアドレスを対象にしたもの説明する。まず、アドレスデコーダ11は、実施の形態の1と同様にフレーム書き込み開始タイミングを検出し、ラッチパルス生成部12bは、上述したタイミングパルスT1～T6のうち、パルスT1、T2を生成する。

【0052】ヘッダラッチ部17は、タイミングパルスT1、T2によってフレームデータD1中の宛先MACアドレス(図3の101)をラッチする。次に、スイッチングテーブル18には、宛先MACアドレスMA1～MANと、そのMACアドレスをもった端末が存在する物理伝送路に接続された送信側ネットワークインターフェース部の番号N1～Nnとの対応関係が格納されている。

【0053】このスイッチングテーブル18は、ヘッダラッチ部17によって保持された宛先MACアドレスを

キーとして検索を行う。そして、宛先MACアドレスMA₁～MA_n中にキーと一致するアドレスがあれば、それに対応する送信側ネットワークインターフェース部の番号を出力する。これが、転送先情報D₅である。

【0054】一方、アドレスジェネレータ19は、アドレスジェネレータ15と同様に書き込みアドレスA₁に応じた書き込みアドレスA₂を生成する。こうして、本実施の形態のパラレルプロトコル処理部から出力された転送先情報D₅が書き込みアドレスA₂によってメモリの所定の領域(図1の領域2bに相当)に書き込まれる。そして、フレーム転送処理部(図1の処理部4)は、この転送先情報D₅に従ってメモリに格納された受信フレームを該当する送信側ネットワークインターフェース部へ転送する。

【0055】なお、フレーム変換やセキュリティ機能、あるいは課金処理などトランスポート層(第4層)以上の機能を有する中継装置のみをゲートウェイ装置(ここでは、狭義のゲートウェイ装置とする)と呼ぶ場合もあるが、本発明は、ネットワーク間を接続する広義のゲートウェイ装置に適用することができる。すなわち、データリンク層(第2層)で動作するブリッジ(実施の形態の3におけるゲートウェイ装置に相当)、ネットワーク層(第3層)以下で動作するルータ(実施の形態の1、2におけるゲートウェイ装置に相当)、あるいはこれらを合わせたブロータ等のネットワーク中継装置に適用でき、上述した狭義のゲートウェイ装置に限らないことは言うまでもない。

【0056】

【発明の効果】本発明によれば、ネットワークコントローラ部が受信フレームをメモリに書き込むフレーム受信処理と平行してプロトコル処理を行うことにより、メモリへの受信フレームの書き込み終了を待たずにプロトコル処理を起動することができ、パラレルプロトコル処理部(ハードウェア)でプロトコル処理を行うことにより、メモリへの受信フレームの書き込み終了時にはプロトコル処理が終了しているため、すぐにフレーム転送を実行することができる。これにより、受信側ネットワークインターフェース部における全体の処理時間を短縮し、フレーム転送処理の高速化を図ることができる。

【0057】また、パラレルプロトコル処理部が、受信フレームのフレーム種別を識別し、この識別結果をメモリに書き込むことにより、フレーム受信処理とプロトコ

ル処理におけるフレーム識別処理とを同時に行うことができ、フレーム種別に応じた転送先の決定など次の処理を行う手段へのフレーム転送をすぐに実行することができる。

【0058】また、パラレルプロトコル処理部が、受信フレームのフレーム種別を識別し、宛先論理アドレスに対応した転送先を求め、求めた転送先情報をメモリに書き込むことにより、フレーム受信処理とプロトコル処理におけるフレーム識別処理及びルーティング処理とを同時に行うことができ、メモリへの受信フレームの書き込み終了時には転送先が決定しているため、送信側ネットワークインターフェース部へのフレーム転送をすぐに実行することができる。

【0059】また、パラレルプロトコル処理部が、宛先物理アドレスに対応した転送先を求め、求めた転送先情報をメモリに書き込むことにより、フレーム受信処理とプロトコル処理におけるスイッチング処理とを同時に行うことができ、メモリへの受信フレームの書き込み終了時には転送先が決定しているため、送信側ネットワークインターフェース部へのフレーム転送をすぐに実行することができる。

【図面の簡単な説明】
 【図1】 本発明の第1の実施の形態となる高速処理方式を示す受信側ネットワークインターフェース部のブロック図である。
 【図2】 図1のパラレルプロトコル処理部のブロック図である。

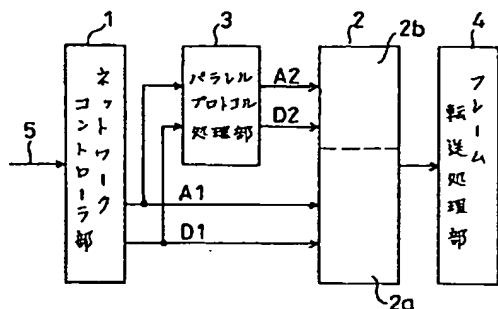
【図3】 図2のラッチパルス生成部が生成するタイミングパルスとヘッダ情報の関係を示すタイミングチャート図である。
 【図4】 図2のヘッダ比較部のブロック図である。
 【図5】 本発明の他の実施の形態となる高速処理方式を示すパラレルプロトコル処理部のブロック図である。
 【図6】 フレーム種別IPに対応したルーティング処理部のブロック図である。

【図7】 本発明の他の実施の形態となる高速処理方式を示すパラレルプロトコル処理部のブロック図である。
 【図8】 従来の受信側ネットワークインターフェース部のブロック図である。

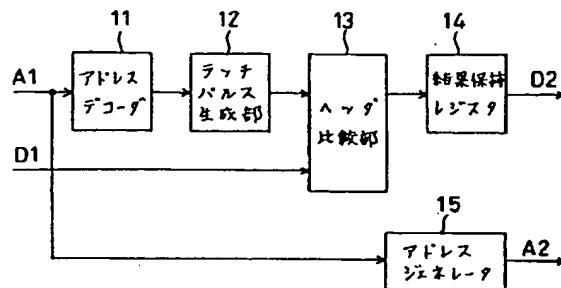
【符号の説明】

1…ネットワークコントローラ部、2…メモリ、3…パラレルプロトコル処理部、4…フレーム転送処理部。

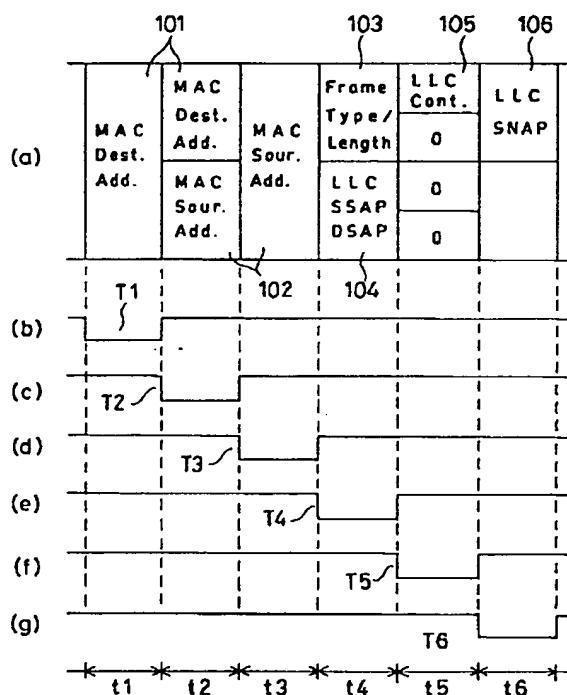
【図1】



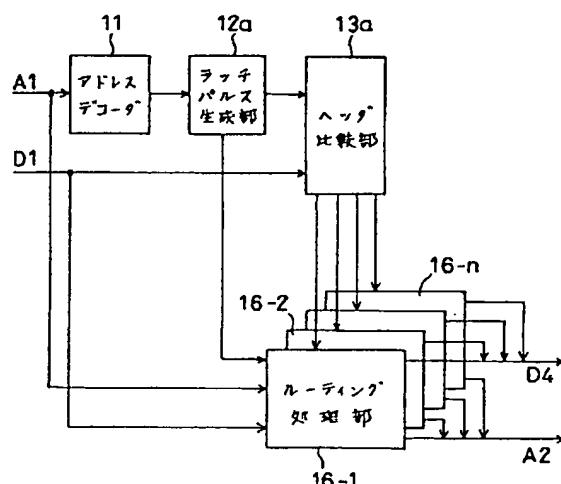
【図2】



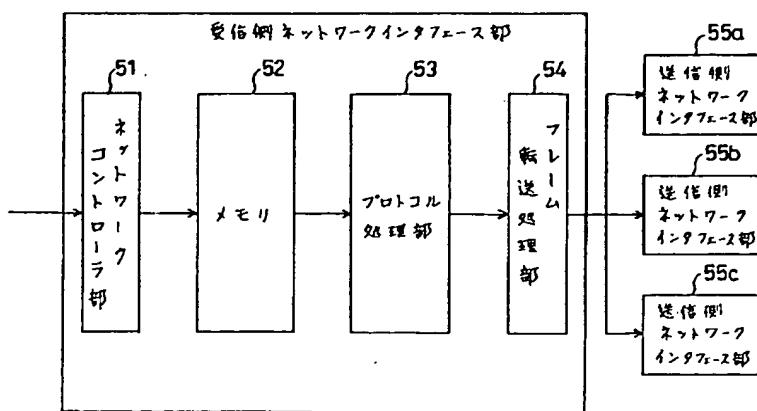
【図3】



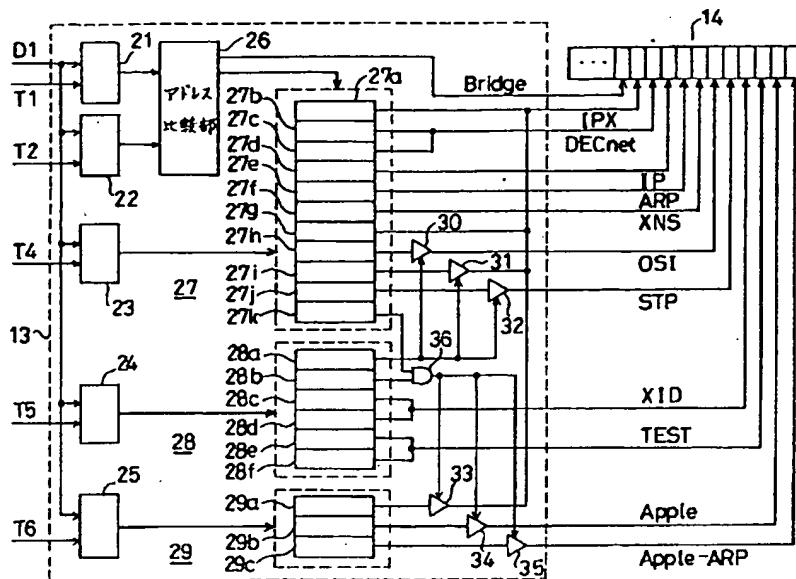
【図5】



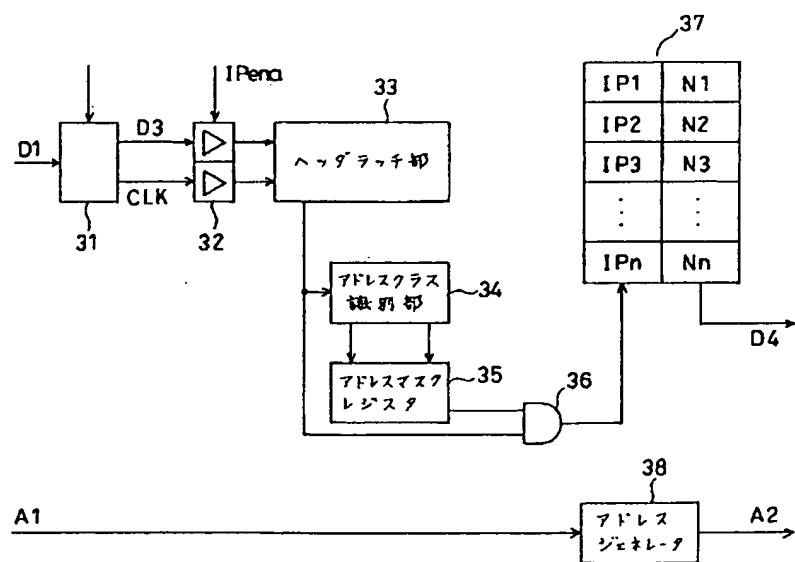
【図8】



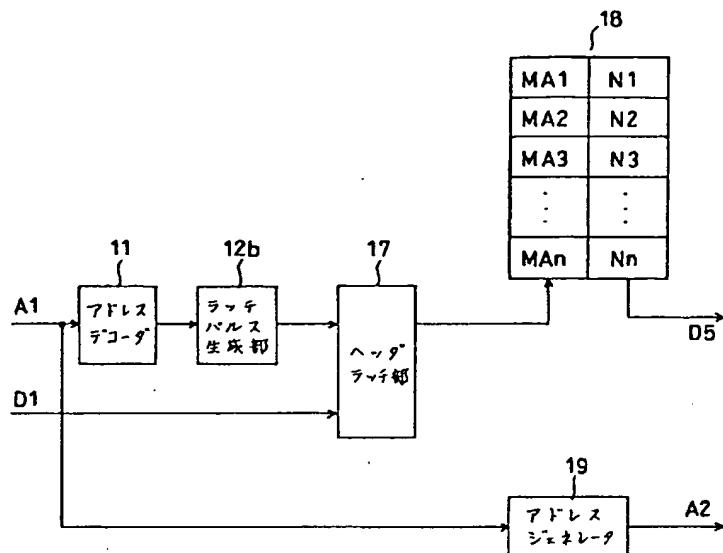
【図4】



【図6】



【図 7】



フロントページの続き

(72)発明者 黒川 康司
 東京都港区虎ノ門5丁目2番6号 株式会
 社超高速ネットワーク・コンピュータ技術
 研究所内